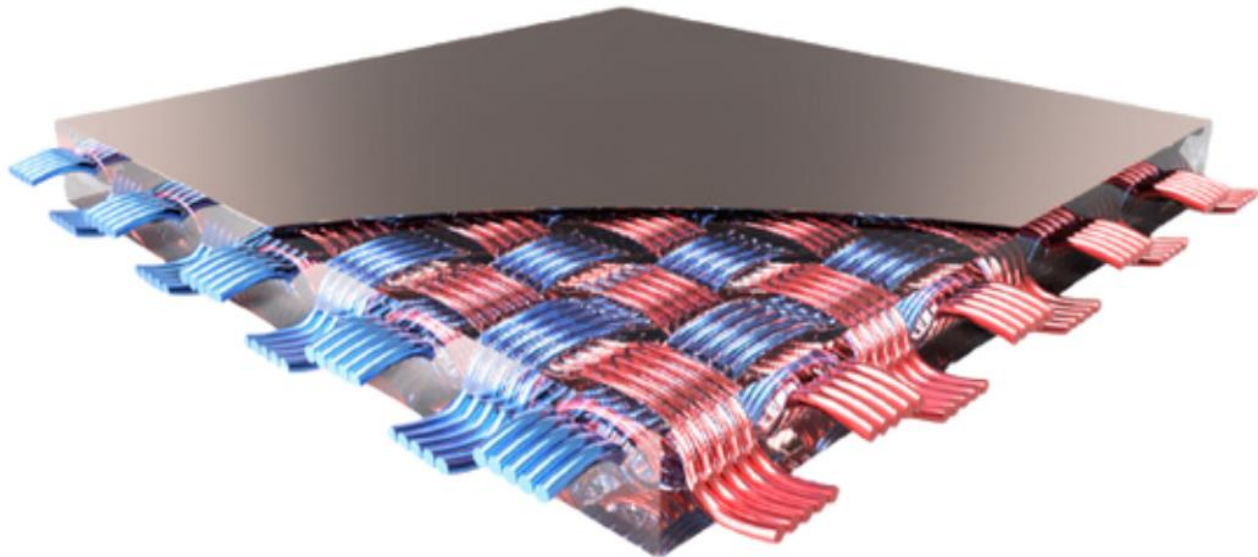


Leiterplatten-Basismaterial

Auswahl, Parameter und Zuverlässigkeit

Isola Düren, Hanno Platz 23. April 2026



GESELLSCHAFT FÜR ELEKTRONIK UND DESIGN
MODERNE VERBINDUNGSTECHNOLOGIEN



AGENDA



- **Anwendung + Umgebung = Materialauswahl**
- **Aufbau von Laminaten**
- **Thermische Parameter (T_g, CTE, T_d)**
- **CAF und Hochspannungsverhalten (CTI)**
- **Elektrische Parameter (D_k, D_f, Rauheit)**
- **High Speed Signalübertragung**
- **Materialspektrum, Beispiele/Vergleich**
- **Entscheidungsleitfaden**

Entwicklung & PCB-Design von hochwertiger Elektronik

High Speed – High Density – High Power – 3D-Elektronik

15 Mitarbeiter / Entwickler Hard- und Software

PCB-Design – Hardwareentwicklung – Embedded Software – Mechanik

Zertifiziert nach ISO 9001 und ISO 13485

40 Jahre GED
— 1986 - 2026 —



GED IoT-SensorNode
als Flex-Leiterplatte



Warum Grundmaterialien die Zuverlässigkeit von Leiterplatten bestimmen

Leiterplatten bilden die Grundlage moderner elektronischer Systeme. Von Verbrauchergeräten, Medizinprodukten, bis hin Automotive und Luft- und Raumfahrtanwendungen hängt jedes elektronische System letztlich von der Zuverlässigkeit seiner Leiterplatte ab.

Viele Zuverlässigkeitsdiskussionen konzentrieren sich jedoch hauptsächlich auf Entwurfs- und Montageprozesse.

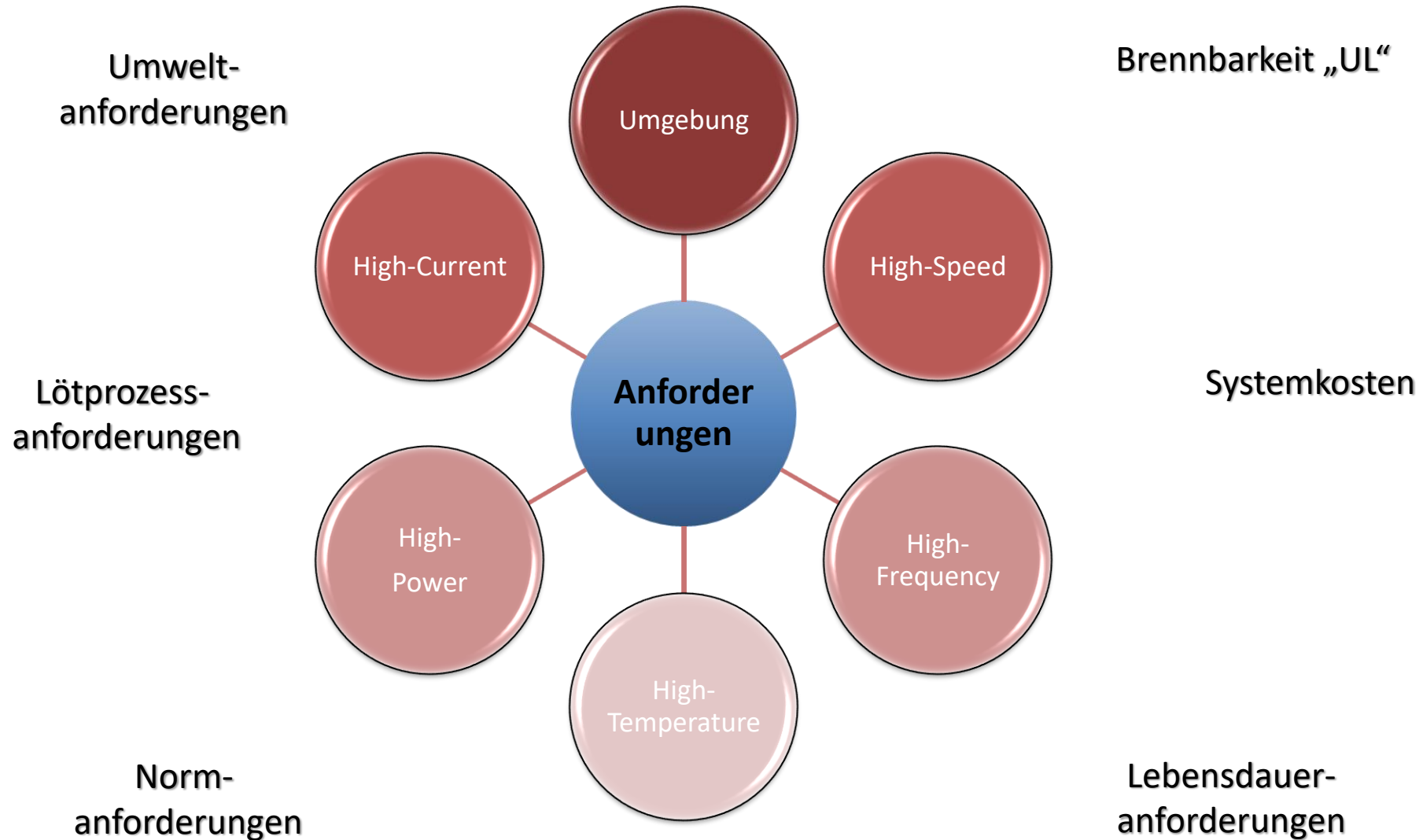
In Wirklichkeit beginnt die Zuverlässigkeit der PCB oft viel früher – mit den Grundmaterialien, die für den Aufbau der Leiterplatte verwendet werden.

Matereialeigenschaften wie:

- Glasübergangstemperatur (T_g)
- Zersetzungstemperatur (T_d)
- Thermischer Ausdehnungskoeffizient (CTE)
- Dielektrische Konstante (D_k)
- Dissipationsfaktor (D_f)

eine entscheidende Rolle bei der Bestimmung des Verhaltens einer PCB unter thermischen, mechanischen und elektrischen Belastungen spielen.

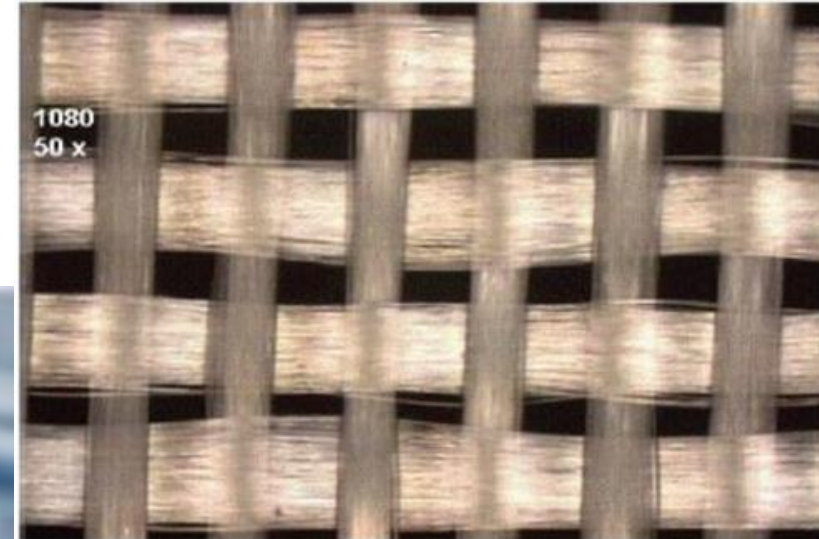
Anwendung + Umgebung = Materialauswahl



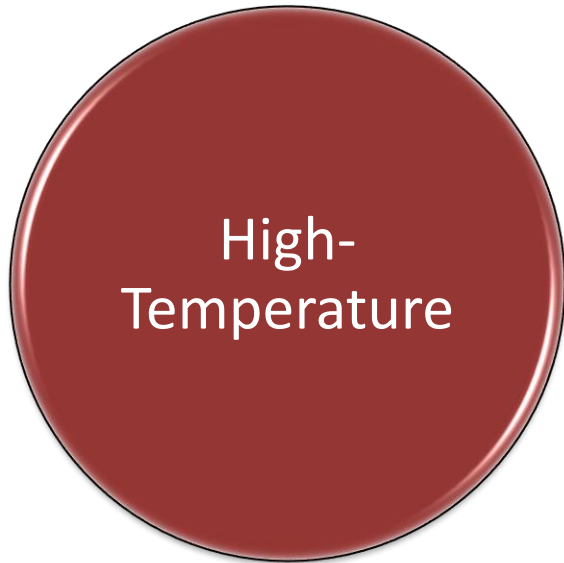
Aufbau eines LP-Laminats



- Kupferfolie
- Glasgewebe (E-Glass, Spread Glass)
- Epoxidharzsystem
- Prepreg + Core Aufbau



Glasgewebe Type 1080



- a) Löt-Prozessanforderung
- b) Umgebungstemperatur
- c) Anwendung / Sicherheit
- d) Zuverlässigkeit/Lebensdauer

What Is **T_g** in a PCB? (Glass Transition Temperature)

The temperature where PCB substrate changes from **rigid** to **soft**.

Below T_g

✓ Rigid & Stable

T_g

Above T_g

⚠ Softer & Less Stable

Why **T_g** Matters:

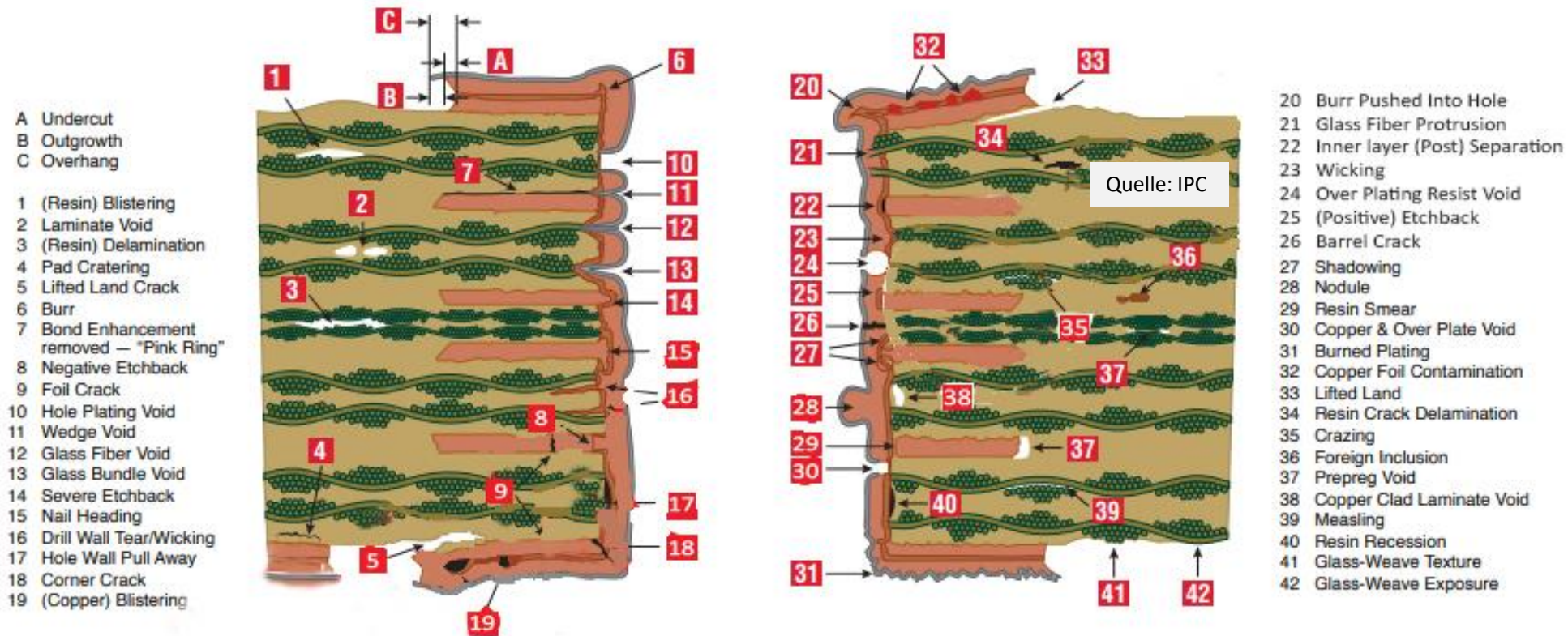
- ⚙ Mechanical Stability
- 🔗 Thermal Expansion
- 🔬 Reflow & Soldering Reliability

Typical **T_g** Values:

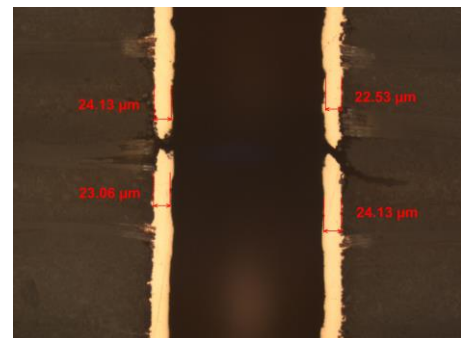
Standard T _g	130 - 140°C
Mid T _g	150 - 170°C
High T _g	≥ 170°C

Higher T_g → Better Thermal Stability & Reliability

Thermische Parameter – Fehler-Phänomene im LP-Aufbau

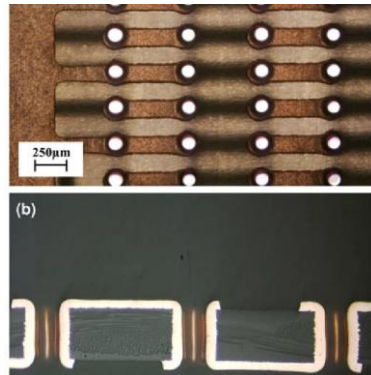


- T_g – Glasübergangstemperatur
- T_d – Zersetzungstemperatur
- CTE - Ausdehnung / Via-Zuverlässigkeit
- Wärmeleitfähigkeit



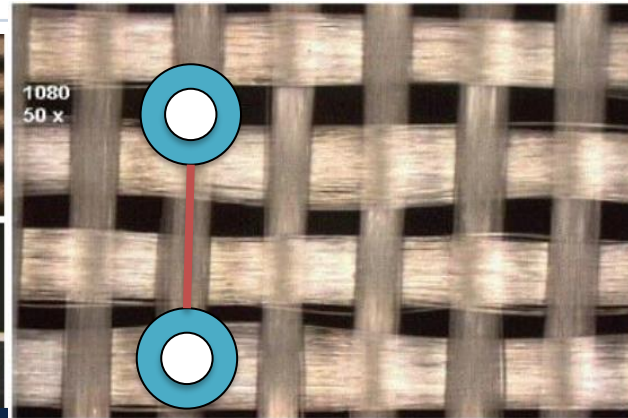
Schliffbild:
Risse in der
Kupferhülse

Praxisrelevanz: CAF wächst im Inneren des Laminats entlang von Glasfaser-/Harz-Grenzflächen und führt oft erst nach Monaten oder Jahren zum Felddausfall.

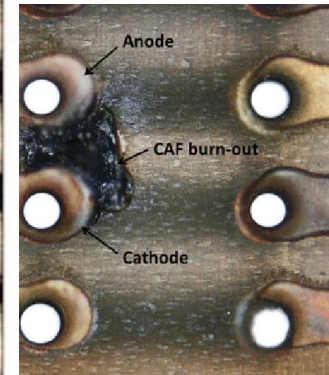


Mikroskopiebild Testcoupon

Alternierende Via-Reihen zur CAF-Charakterisierung



Optisches Burn-out-Bild



Anode, Kathode und lokaler CAF-Durchbruch

Mechanismus

- Feuchtigkeit + Spannung + Ionenkontamination
- Kupferionen wandern entlang des Epoxy-Glas-Interfaces
- Es entsteht ein leitfähiger Pfad zwischen Anode und Kathode

Risikotreiber

- Feuchte Umgebungen / THB-Belastung
- Kleine Via-/Leiterabstände
- Rückstände, Flussmittelreste, ionische Verunreinigung
- Erhöhte Spannung und Temperatur

Konsequenz & Maßnahme

- Langzeitfehler: sporadischer oder harter Kurzschluss
- CAF-optimierte Laminattypen, größere Abstände, saubere Prozesse

CTI wird gemessen in **Volt (V)** und bestimmt die Isolationsleistung von PCB-Substraten. Ein höherer CTI-Wert bedeutet eine höhere Beständigkeit gegen **elektrische Kriechströme**

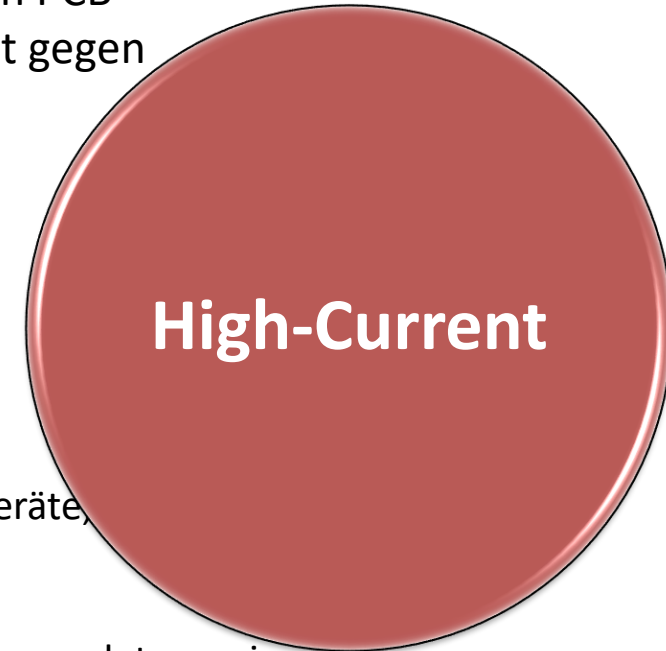
- CTI > 600 für Hochspannungssysteme
- Relevanz für 200–800V Anwendungen
- Normen: IEC 60664, IPC-2221
- Tracking und Carbonisierung vermeiden

CTI \geq 600 V (Klasse 0) ist ideal für Hochspannungsanwendungen wie medizinische Geräte, Raumfahrt elektronik und industrielle Steuerungssysteme.

CTI 400 V – 599 V (Klasse 1) wird häufig in Automobil- und Industrie-Leiterplatten verwendet, wo sie häufig rauen Bedingungen ausgesetzt sind.

CTI 250 V – 399 V (Klasse 2) eignet sich für Standard-Unterhaltungselektronik, bei der mit geringerer elektrischer Belastung zu rechnen ist.

CTI unter 250 V kann zu vorzeitigen elektrischen Ausfällen führen und sollte bei Schaltkreisen mit hoher Zuverlässigkeit vermieden werden.



„Die Schnittstelle ist nicht der Flaschenhals – das Gesamtsystem ist es.“

Vergleich Hochgeschwindigkeitsschnittstellen

Interface	Max. Rate	Real Latenz	Design-Aufwand
USB 3.2 Gen1	5 Gbit/s	~400 MB/s	mittel-gering
USB 3.2 Gen2	10 Gbit/s	~1 GB/s	mittel-gering
USB 3.2 Gen2x2	20 Gbit/s	~2 GB/s	mittel-mittel
USB4	40 Gbit/s	~3–3,5 GB/s	mittel-hoch
PCIe Gen4 x4	64 Gbit/s	~7 GB/s	sehr gering-sehr hoch
10 GigE	10 Gbit/s	~1 GB/s	hoch-mittel



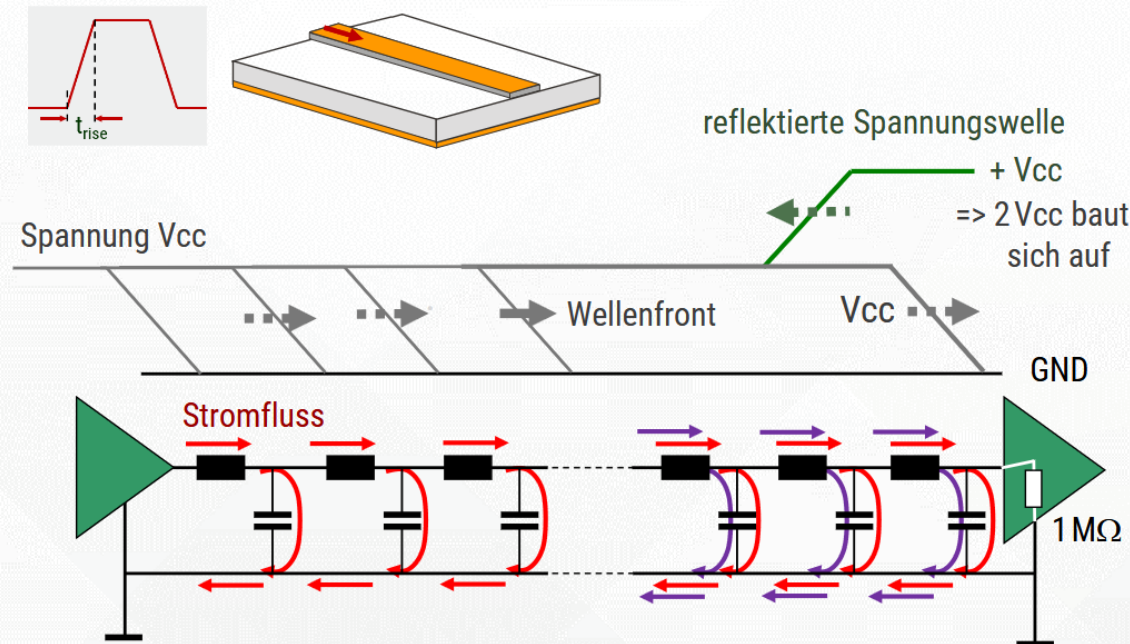
Konsequenz:
Die Wahl des Laminats entscheidet
direkt über erreichbare Datenrate und
Systemstabilität.

Wann hört eine einfache PCB-Leiterbahn auf, "nur ein Draht" zu sein?

Wann spricht man von High-Speed-Design?

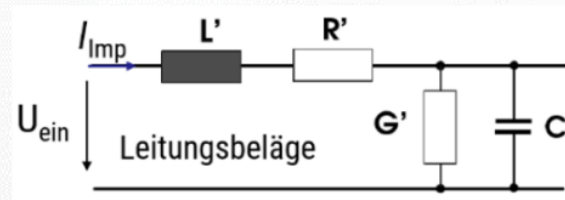
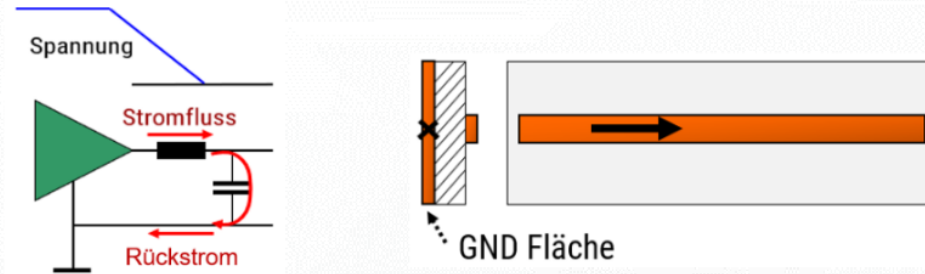


- Wenn wesentliche Digital-Bauteile extrem schnell schalten (ps ... ns)
- Signale breiten sich als Wellenfronten auf den Leitungen der Baugruppe aus (> Tsunami)
- Es kommt zu Reflexionen an Leitungsenden, Verzweigungen und Engstellen (Vias)
- Der Rückweg des Signalstroms ist kritisch und entscheidend

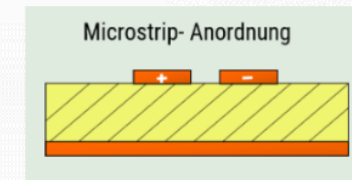


Was ist die Impedanz einer Leitung?

- Der Strom der in die Leitung hineinfließt wird durch die Impedanz bestimmt: L begrenzt ihn, C leitet ihn zu GND
- Der Treiber sieht die Impedanz als Scheinwiderstand beim Einschalten
- $Z = U_{\text{ein}} / I_{\text{Imp}}$ (vergleiche: $R = U / I$)
Das Leitungsende ist nicht sichtbar
- Bei Differentiellen Leitungen gilt das für beide Leitungen; dazu ihre Verkopplung



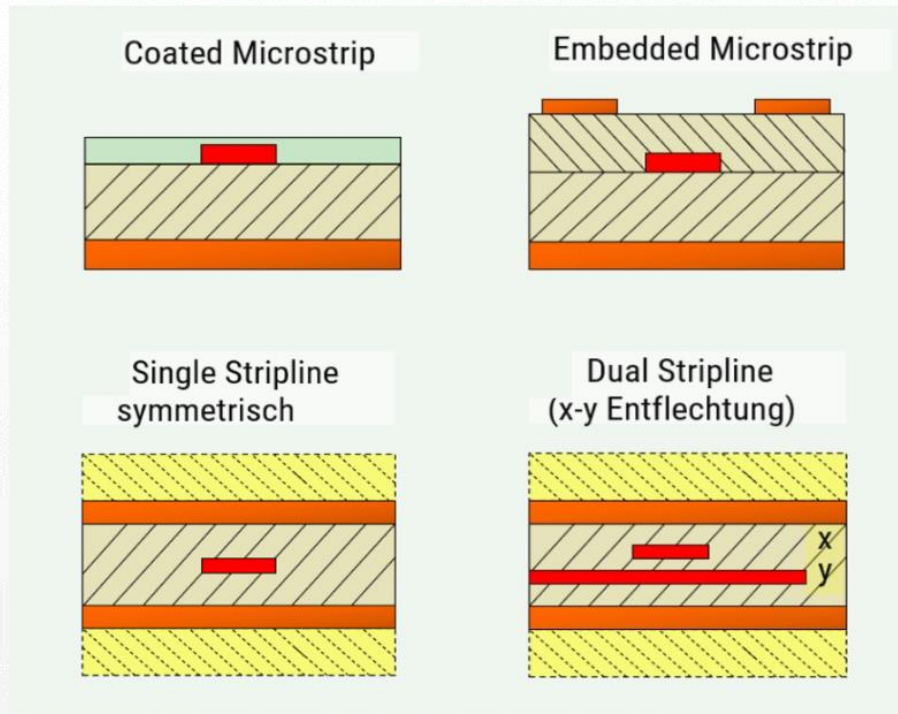
$$Z = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}}$$



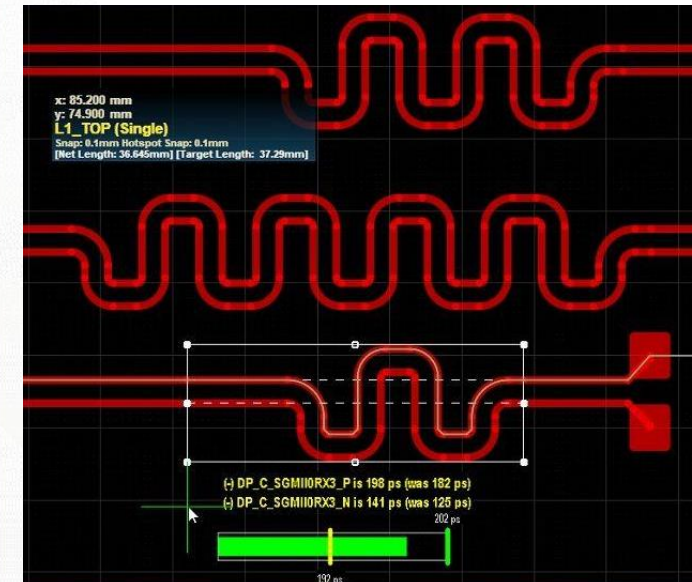
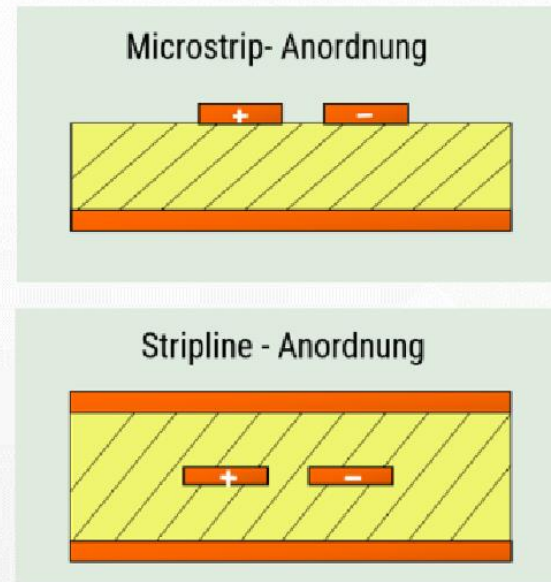
Kontrollierte Impedanzen - Lagenaufbauten

Lagenaufbauten mit kontrollierter Impedanz

Single Ended Impedanz-Konstruktionen

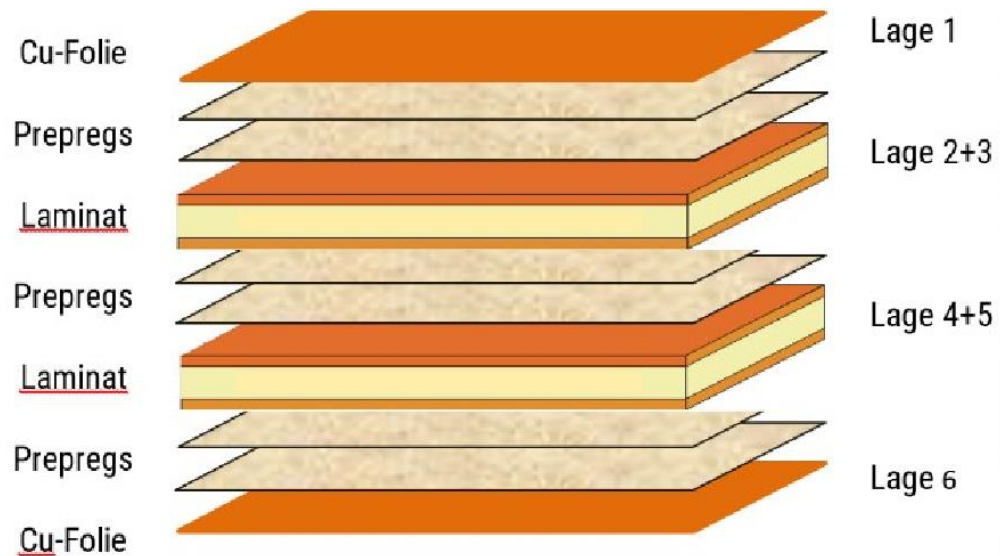


Differentieller Impedanz-Aufbau

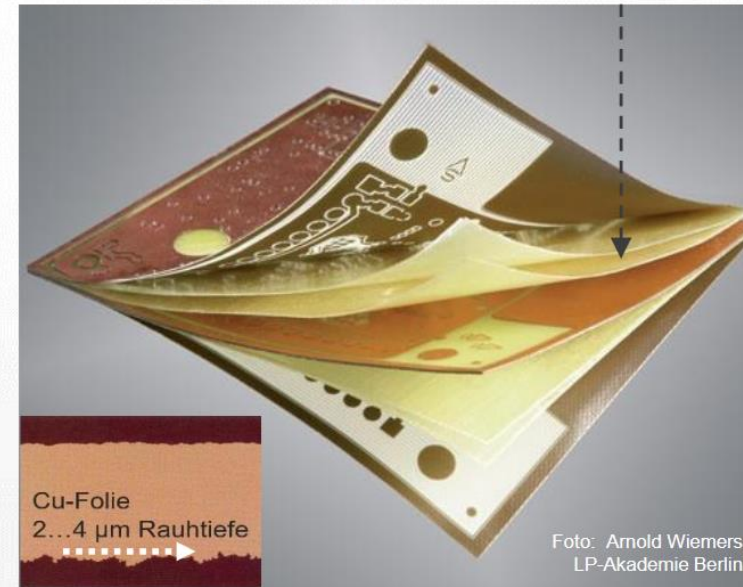


Der LP-Baukasten: Cu-Folien, Prepregs, Laminat

Laminat sind mit Prepregs verpresste Cu-Folien

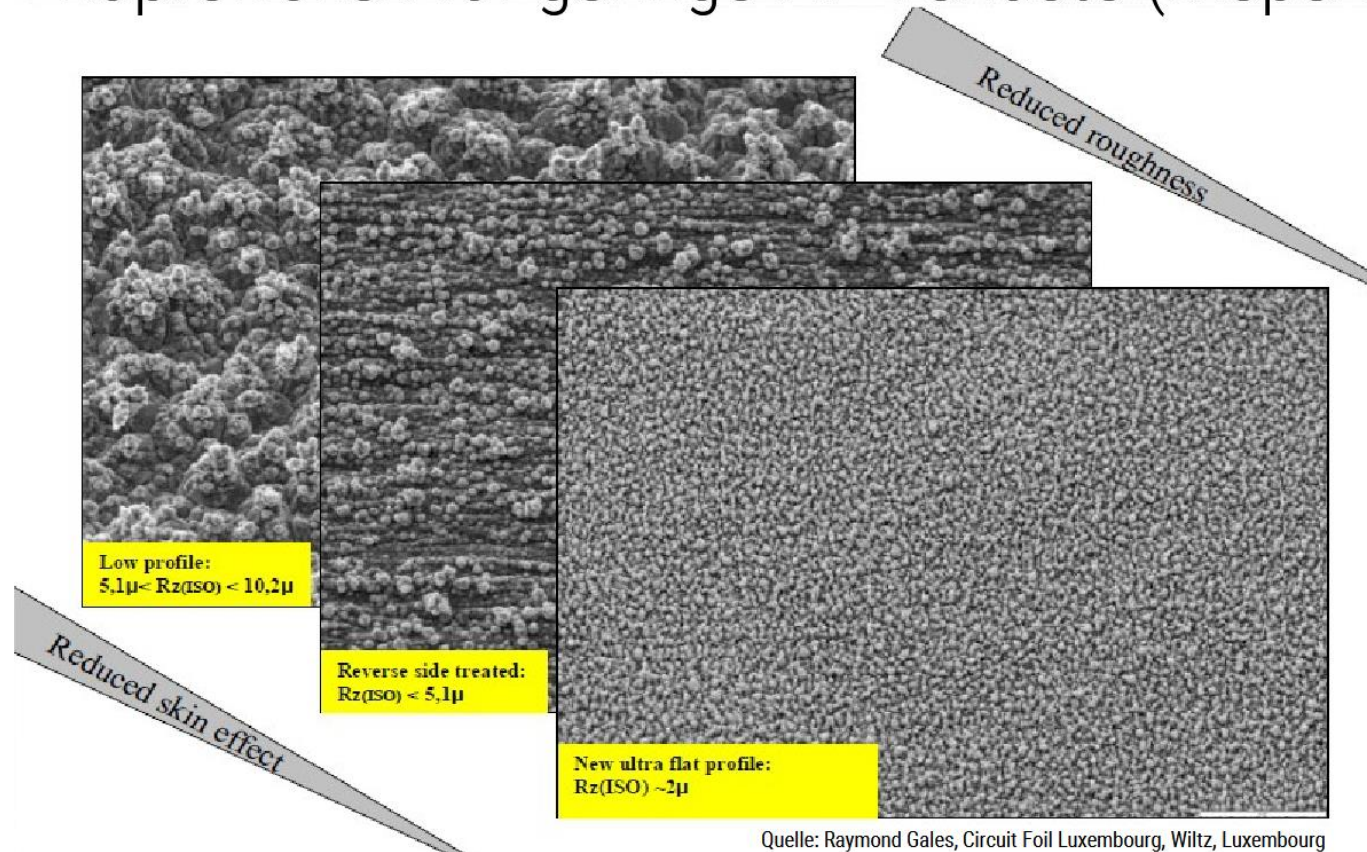


FR4-Prepregs: Harz gefüllte Glasfasermatten



Rauhe Cu-Oberfläche behindert HS-Signal

Kupferfolien für geringe HF-Verluste (Dispersion, Dämpfung)



Quelle: Raymond Gales, Circuit Foil Luxembourg, Wiltz, Luxembourg

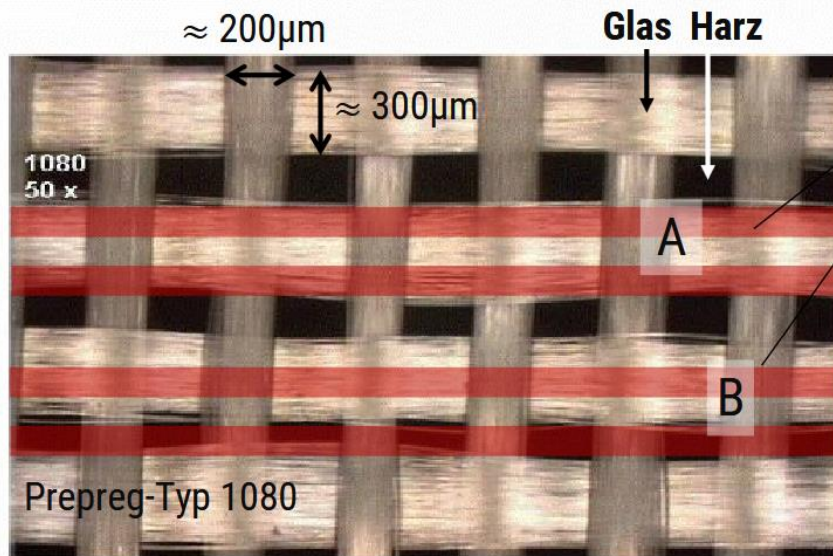
Je rauher die Oberfläche
desto länger der
Signalweg –
besonders für hohe
Frequenzen!

=> Dispersion:
**Abflachung der
Signalflanken und
Dämpfung**

Prepregs: Impedanzsprünge durch das Glasfasergewebe

Die Glasgewebestruktur verursacht für Leiterbahnen Sprünge der Dielektrizitätszahl ϵ_r :

$$\epsilon_r(\text{Glas}) \approx 6 \quad \epsilon_r(\text{Harz}) \approx 3,5$$



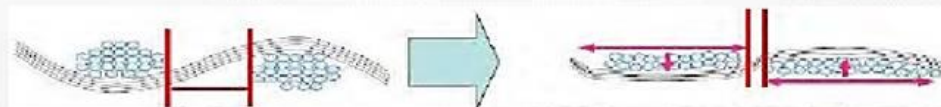
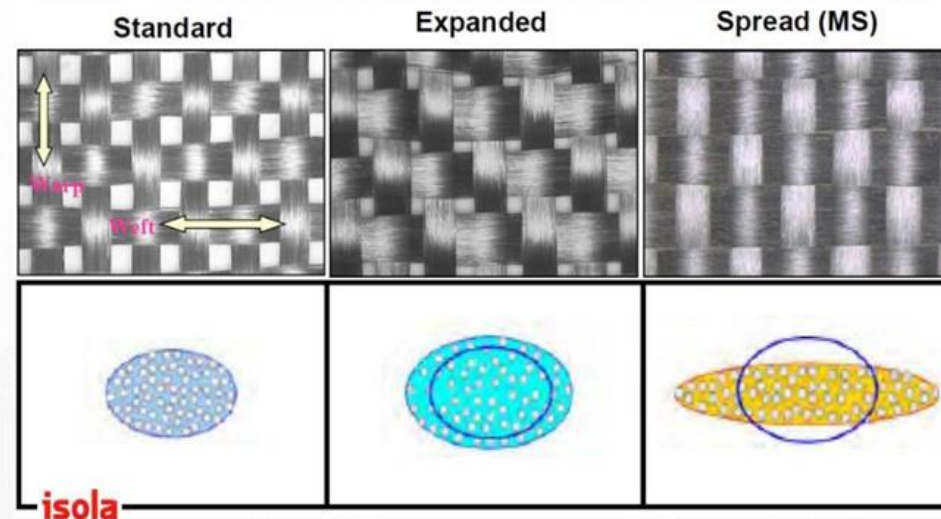
- A. Differentielle Leiterbahn (100/100 μm) komplett über Glas
- B. Differentielle Leiterbahn über Glas bzw. Harz verlaufend

2 Probleme für Leitung B durch unterschiedliches ϵ_r

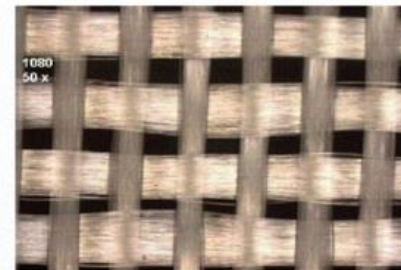
- Die Signal-Ausbreitungsgeschwindigkeit ist unterschiedlich $v = \frac{c_0}{\sqrt{\epsilon_r}}$ $c_0 = \frac{30\text{cm}}{\text{ns}}$
- Die Impedanz ist unterschiedlich und inkonstant

Modifiziertes Basismaterial für Differentielle Leitungen

Vergleichmäßigung der Glasgewebestruktur durch Spreizung der Glasfaserbündel



Typ 1080 Dicke 65µm



MS: Typ 1086 Dicke 50µm



Lagenaufbau - High-Speed Parameter



- Dielektrizitätskonstante (D_k)
- Verlustfaktor ($D_f / \tan\delta$)
- Kupferrauhigkeit (R_z)
- Frequenzabhängigkeit

Stackup Editor

File Edit View Help

Basic Dielectric Metal Z0 Planning Manufacturing Custom View

Layer Name	Usage	Thickness mils, oz	Er	Diff Z0 ohm	Width mils	Gap mils	Z0 Curve
1	Solder Mask	0.5	3.3				
2	TOP	Signal	0.5	<Auto>	100		View...
3	Substrate	4	4.3				
4	PLANE_REF1	Plane	1	<Auto>	75		View...
5	Substrate	5	4.3				
6	InnerSignal1	Signal	1	<Auto>	100		View...
7	Substrate	36	4.3				
8	InnerSignal2	Signal	1	<Auto>	100		View...
9	Substrate	5	4.3				
10	PLANE_REF2	Plane	1	<Auto>	75		View...
11	Substrate	4	4.3				
12	BOTTOM	Signal	0.5	<Auto>	100		View...
13	Solder Mask	0.5	3.3				

Plan for:

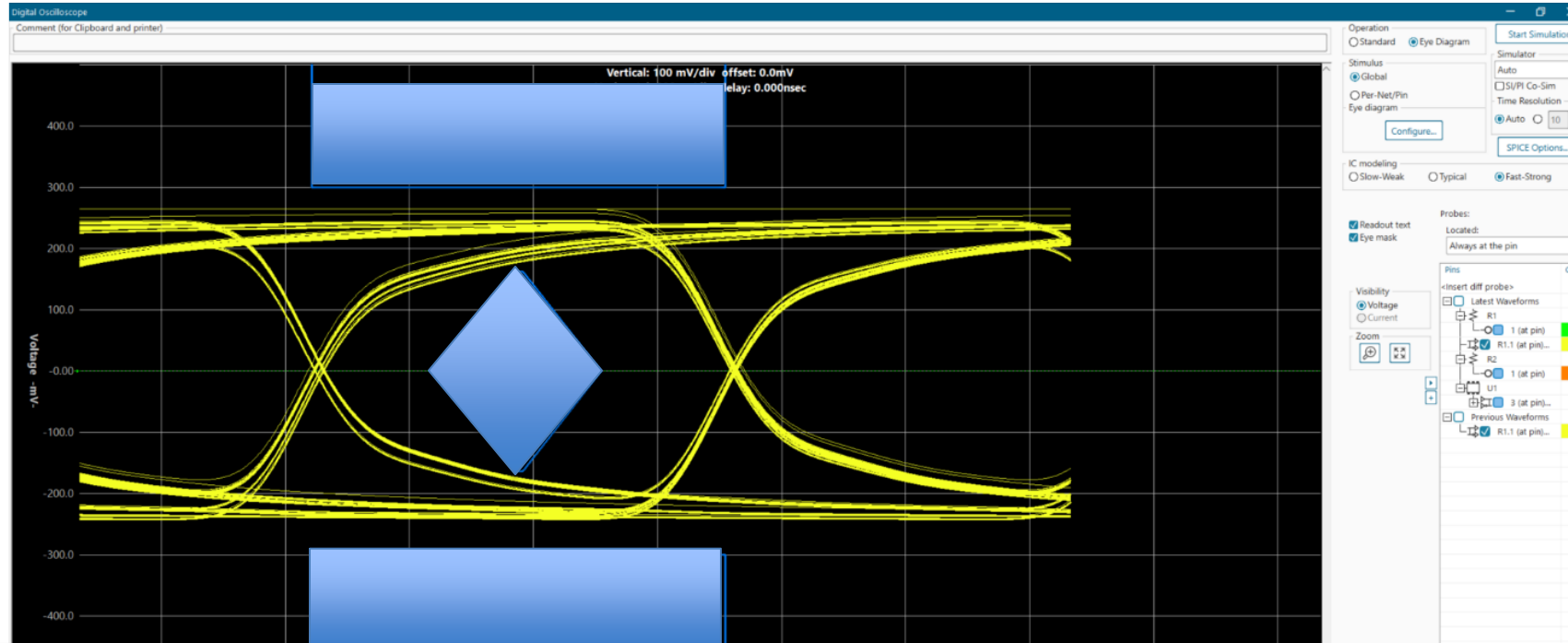
Strategy: Hint: Move mouse over cell with <Error> for details.

Draw proportionally Total thickness: 61.75 mils
 Use layer colors

No errors found in stackup.

Simulation Signalintegrität

Siemens SI-Hyperlynx



Operation
 Standard Eye Diagram Start Simulation

Stimulus
 Global
 Per-Net/Pin
Eye diagram
Configure...

IC modeling
 Slow-Weak Typical Fast-Strong
SPICE Options...

Probes:
Readout text
Eye mask
Located: Always at the pin

Visibility
 Voltage
 Current

Zoom

Thresholds for:
All IC Pins

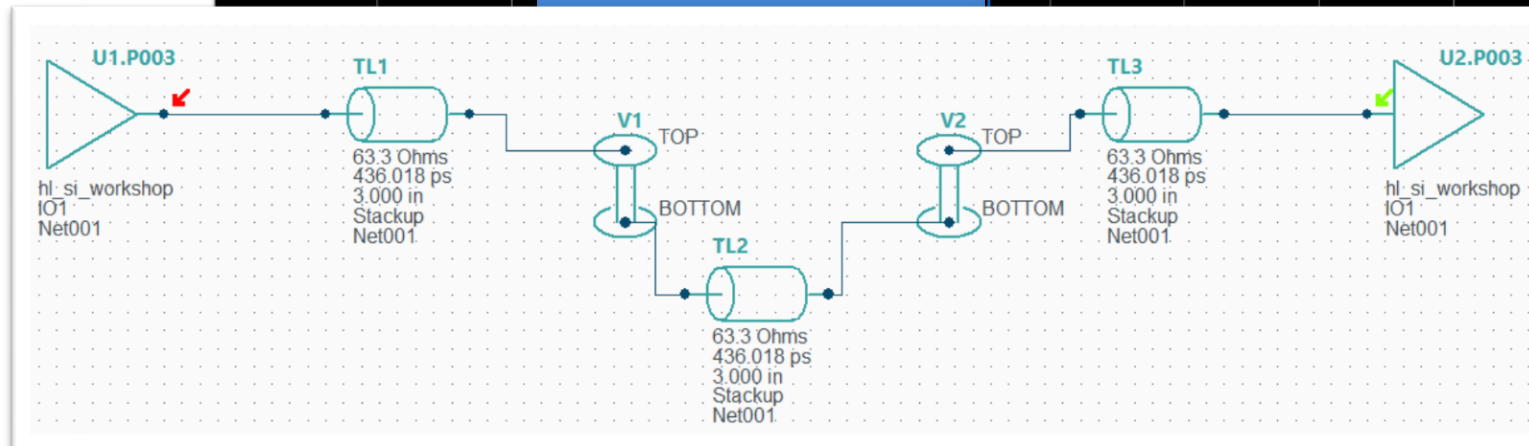
Vertical Position
0.0 mV

Horizontal Delay
0.000 ns

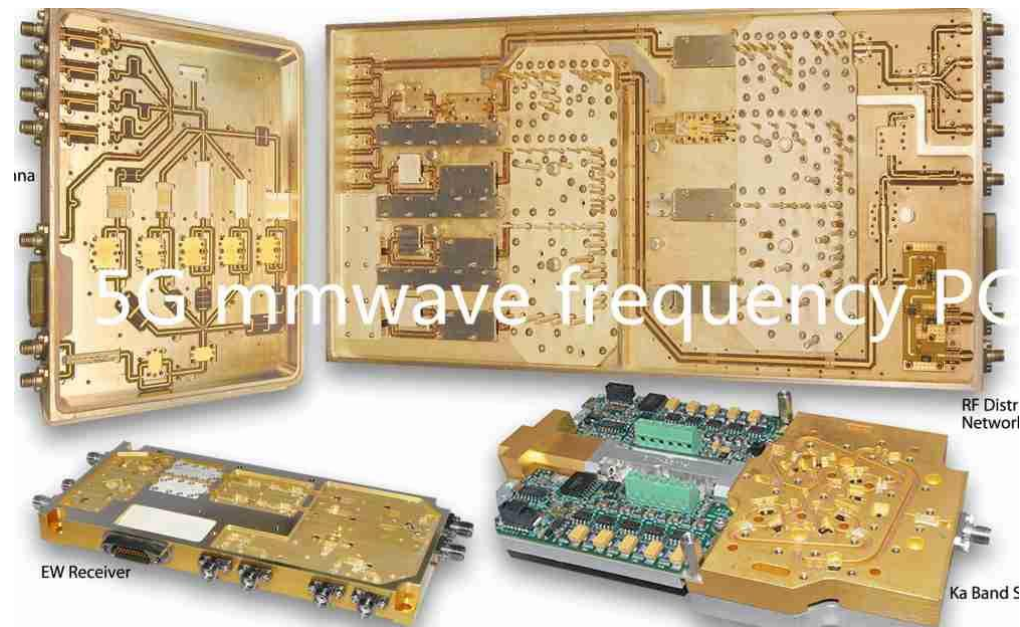
Scale
100 mV/div

Scale
200 ps/div

Save/Load...
Copy to Clip
Erase
Print...
Close
Help



z.B. Rogers RO3000 Series (Ceramic-Filled PTFE)



Anwendungen:

- Radar Anwendungen
- 5G Übertragung
- Usw.

High-Frequency

HF-Material ist für sinusförmige Hochfrequenzanwendungen wie z.B. Radarfrequenzen von 77GHz und darüber notwendig. Es kommen Teflon oder Keramik Materialien zum Einsatz

Was genau ist z.B. FR 4 ?

„FR“ steht für Flame Retardend

FR MATERIAL COMPARISON

	FR-1	FR-2	FR-3	FR-4	High Tg FR-4	FR-5
Strength	Low	Low	Low	High	Very High	Very High
Temp Resistance	Low	Low	Low	High	Very High	Very High
Cost	Very Low	Low	Low	Low	Med-High	High
Common Use	Basic Electronics	Consumer Devices	Industrial Electronics	Lead-Free & SMT	Aerospace & High-End	

					
FR-1 Phenolic + Paper	FR-2 Improved Paper	FR-3 Epoxy + Paper	FR-4 Fiberglass + Epoxy	High Tg FR-4 High Tg FR-4	FR-5 High Temp Epoxy

Beispiel Materialdatenblatt ISOLA Tychon[®] 100 G



Beispiel:

Ultra Low Loss Laminate
and Prepreg

Tg 215°C

Td 360°C

Dk 3.02

Df 0.0021

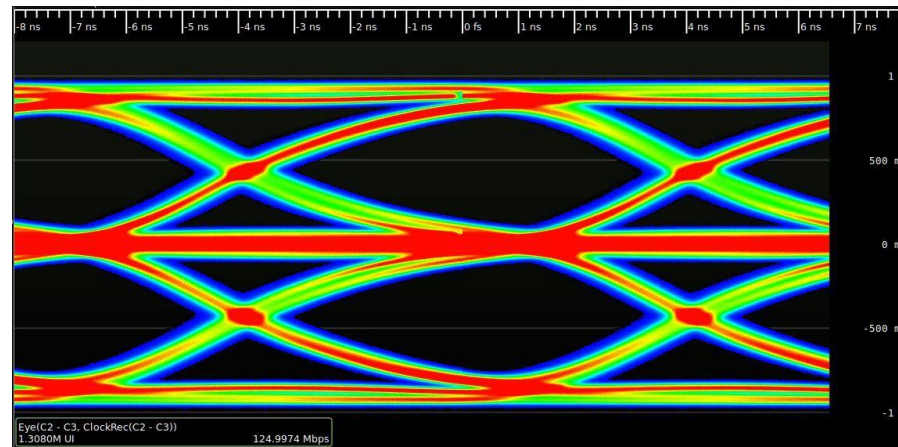
Property	Typical Value	Units	
		Metric (English)	
Glass Transition Temperature (Tg) by DSC	215	°C	
Glass Transition Temperature (Tg) by DMA	230	°C	
Glass Transition Temperature (Tg) by TMA	210	°C	
Decomposition Temperature (Td) by TGA @ 5% weight loss	360	°C	
Time to Delaminate by TMA (Copper removed)	A. T260 B. T288 C. T300	>60 >60 >20	Minutes
Z-Axis CTE	A. Pre-Tg B. Post-Tg C. 50 to 260°C, (Total Expansion)	45 250 2.5	ppm/°C ppm/°C %
X/Y-Axis CTE	Pre-Tg	15	ppm/°C
Thermal Conductivity		0.42	W/m·K
Thermal Stress 10 sec @ 288°C (550.4°F)	A. Unetched B. Etched	Pass	Pass Visual
Dk, Permittivity	A. @ 2 GHz B. @ 5 GHz C. @ 10 GHz	3.04 3.02 3.02	—
Df, Loss Tangent	A. @ 2 GHz B. @ 5 GHz C. @ 10 GHz	0.0021	—
Volume Resistivity	C-96/35/90	1.33x10 ⁷	MΩ-cm
Surface Resistivity	C-96/35/90	1.33x10 ⁵	MΩ
Dielectric Breakdown		60	kV
Arc Resistance		125	Seconds
Electric Strength (Laminate & laminated prepreg)		60 (1500)	kV/mm (V/mil)
Comparative Tracking Index (CTI)		3 (175 -249)	Class (Volts)
Peel Strength	A. Low profile and very low profile copper foil B. Low profile and very low profile copper foil ... After thermal stress	0.79 (4.5) 0.96 (5.5)	N/mm (lb/inch)

Material	Tg (°C)	Dk	Df	Typische Anwendung
IS400	150	4.0	0.020	Standard Industrie
370HR	180	4.1	0.016	Thermisch/CAF
I-Speed	180	3.6	0.006	High-Speed Digital

- High-Speed >5/10 Gbit? → Low Loss Material
- Hochspannung >200V? → CTI \geq 600
- Hohe thermische Last? → Tg \geq 170°C
- Feuchte Umgebung? → CAF optimiertes Laminat

- Materialwahl beeinflusst Zuverlässigkeit
- Elektrische + thermische Parameter gemeinsam betrachten
- Fertigung und QM frühzeitig einbinden

Design + Material = Grad der Zuverlässigkeit





Fachverband für Elektronikdesign
und -fertigung

Wir verbinden

FED e. V.
Frankfurter Allee 73C
10247 Berlin
Tel. +49(0)30340603050
info@fed.de
www.fed.de

<https://www.fed.de/themen/leiterplatte-design/>

The screenshot shows the website page for 'Leiterplatte & Design'. At the top, there is a navigation bar with links for 'Aktuell', 'Presse', 'Newsletter', 'Publikationen', 'Kontakt', 'Login', 'Stellenmarkt', 'Suche', and 'Shop'. Below this is the FED logo and a sub-navigation menu with 'Wir verbinden' (selected), 'Verband', 'Fachthemen', 'Aus- und Weiterbildung', 'Veranstaltungen', 'Wissensdatenbank', and 'Award'. A breadcrumb trail shows 'Startseite > Fachthemen > Leiterplatte & Design'. The main header features a large image of a circuit board with the text 'Leiterplatte & Design'. Below this, a paragraph states: 'Im Bereich Leiterplatte & Design werden alle wichtigen Informationen rund um anspruchsvolles High-Speed-Design und die strategische Materialauswahl bereitgestellt.' The page contains four content blocks, each with an image, a title, and a 'Mehr ->' link: 1. 'Leitfaden High-Speed-Leiterplattendesign' with an image of a green PCB. 2. 'Proportionales Anschlussflächen-Dimensionierungskonzept' with an image of a yellow PCB component. 3. 'Materialauswahl nach IPC-4101' with an image of copper sheets. 4. '3D-Elektronik' with an image of a yellow PCB component. A fifth block, 'Kupferdicke bei Leiterplatten', is partially visible at the bottom left with an image of a copper layer cross-section.

Leitfaden High-Speed-Leiterplattendesign

Alles für den Einstieg ins High-Speed-Design

Dieser Leitfaden soll Leiterplatten-Designern/-Layoutern mit einigen Jahren Berufserfahrung den Einstieg in sog. High-Speed-Designs erleichtern. In den Grundlagen werden Fachbegriffe und Besonderheiten des HS-Designs erklärt, anschließend die erforderlichen Layout-Maßnahmen beispielhaft dargestellt und begründet. Im Interesse von Kürze können nicht alle erforderlichen Fachkenntnisse in der Tiefe behandelt werden. Ergänzend empfiehlt sich daher der [3-tägige FED-Weiterbildungskurs High-Speed-Design](#), in dem Themen, auch mittels Übungen, interaktiv behandelt und offene Fragen besprochen werden können.

FED-Mitgliedern steht dieser Leitfaden in der Wissensdatenbank auch als [pdf-Version](#) zur Verfügung.



1. Übersicht

Mehr →



2. Leiterplatte und Lagenaufbau

Mehr →



3. Signalübertragung Theorie

Mehr →



4. Signalübertragung Praxis

Mehr →



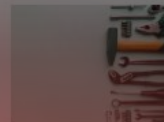
5. Leiterplatten-Steckverbinder

Mehr →



6. Stromversorgungssystem

Mehr →

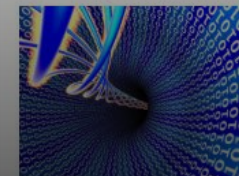


7. High-Speed-Tools

Mehr →

Die Autoren

- Guenes Alparslan (Siemens Amberg)
- Michael Flint (Siemens Braunschweig)
- Sebastian Kollinger (Siemens Erlangen)
- Manfred Maurer (Heitec)
- Markus Neumann (Siemens Erlangen)
- Helmut Perschon (Siemens Erlangen)
- Markus Huber (Siemens Amberg)
- Hermann Ruckerbauer (EyeKnowHow)
- Michael Schwitzer (CIBOARD electronic)
- Prof. Rainer Thüringer (TH-Mittelhessen)



Seminar High-Speed-Baugruppen-Design

Mit diesem Seminar wird den Teilnehmern die Befähigung vermittelt, optimale Schaltungs- und Leiterplatten-Designs (Layout & Lagenaufbau) für High-Speed-Anwendungen unter Berücksichtigung der Signalintegrität und der EMV zu generieren.

FED – Paper Einstieg ins High-Speed Design

FED – Sammlung von High-Speed Tools

Broadcom/Avago Appcad

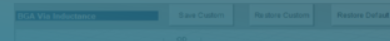
bietet unter anderem Impedanz und Reflexionsberechnungen

Berechnung des resultierenden PDN-Impedanzverlaufs eines PDN

unter Berücksichtigung der Potentiallagen- und Anschluss-/Via-Induktivitäten der Kondensatoren

Intel (Altera) PDN

calculation excel sheet (optimized for intel FPGA)



3. Design- und Layout-Werkzeuge

UltraCAD has written a variety of programs through the years and made them available to our customers. Most have been freeware, a few have required a license for purchase. Here is our current offering. Click on any calculator name to be taken to a page that describes it more fully.

These calculators are now available at no cost in a single downloadable package. [Click here to download the package.](#) A single "universal" license is necessary for operation. The license is now free and is included in the download.

Calculators:

All of these calculators are written in Microsoft Visual Basic. Some of these calculators may require supporting Microsoft files for operation. Usually they are already on your system. But if not, they are included in the download package and can be installed locally. Here is the installation [Readme.txt](#) file. **BE SURE TO READ THE README.TXT FILE BEFORE INSTALLATION!!**

UCAD_TTemp_PCB Trace current/temperature Calculator

This calculator will calculate trace current/temperature parameters for virtually any size trace thickness and width. It will also calculate the trace internal temperature at any depth into the board. It is based on our new book "PCB Design Guide to Via and Trace Currents and Temperatures." [Learn more about the calculator here.](#)

UCADPCB4_3.exe_PCB Trace Calculator

This calculator is multifunctional! It can be used to calculate trace current/temperature effects, fusing current, trace resistance, and Ohm's Law calculations. It also allows adjustment for skin effect and skin depth and for the Proximity Effect. Version 4.3 is a significant upgrade based on the thermal simulation collaboration between Brooks and Dr. Adam. It provides a MUCH better fit to the IPC 2152 curves and provides significant insight and improvement to fusing calculations.

UCCALC.exe_Differential Impedance Transmission Line Calculator

This calculator has been upgraded to Version 3.5. The upgrade now allows for input values significantly smaller than before. This is to accommodate users who found the original ranges too limiting.

UCADPDSI.exe_Power Distribution System Impedance Calculator

This calculator graphs an impedance function for a power distribution system on a PCB with an arbitrary number of capacitors with arbitrary associated lead and mounting inductance and arbitrary ESR. It is a significant upgrade of our previous ESR calculator, offering greater usability and OS compatibility.

UltraCAD's Electronic Impedance Tool:

This tool Helps calculate series and parallel impedance combinations of RLC components or impedance expressions in the form of $R + jX$ or Z and angle Theta.

UltraCAD's Fourier Simulation Tool

Any (repetitive) waveform can be represented by a series of sine and/or cosine terms. This simulation tool explores this relationship with 4 waveforms: square, triangle, trapezoid and sawtooth.

UltraCAD's Calculator for Factorials, Permutations, and Combinations

This calculator will calculate factorials of any size (tested to 10,000,000,000) and permutations and combinations, with or without regard for order, with or without replacement. It is accurate to about 12 figures and to any exponent of 10.

Ultra_CT.exe_Crosstalk Coefficient Calculator

This program will estimate a crosstalk coefficient between two parallel traces for a variety of different configurations. It has just been completely rewritten in VB.net 2008 with an improved GUI and so that it will run on all 64-bit Windows systems.

Wirepage3.exe_Wire Gauge Calculator

This calculator converts between trace geometry (width and thickness) and equivalent AWG wire gauge. Version 3 has been rewritten in VB.net and runs on all Windows operating systems.

UltraCAD Design Calculators and Tools

Kostenlose Design- und Layout-Werkzeuge sind häufig deutlich begrenzt im Funktionsumfang. Bei einigen kann man seine Projekte veröffentlichen und bekommt dadurch mehr Funktionen.

- **Altium**
kostenfreie Version seiner Layout Software als [Circuit Maker Desktop](#) inkl. dazugehöriger [Online-Designumgebung](#) (immer noch zugänglich ist die <https://circuitmaker.com/>)
- **RS-online**
bietet mit [DesignSpark](#) eine Design-Umgebung für elektrisches und mechanisches Design
- **Autodesk Eagle**
limitation: only 2 signal layers / 2 schematic sheets
- **KiCad**

3 tagiges FED-Seminar

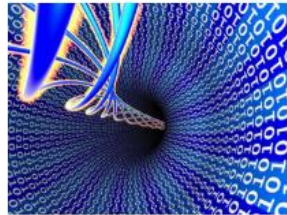


Wir verbinden

Verband Fachthemen Aus- und Weiterbildung Veranstaltungen Wissensdatenbank Awards

Startseite · Aus- und Weiterbildung · Zertifizierter Elektronik-Designer · ZED Level IV - Design- und...

High-Speed-Baugruppen-Design



Mit diesem Seminar wird den Teilnehmern die Befahigung vermittelt, optimale Schaltungs- und Leiterplatten-Designs (Layout & Lagenaufbau) fur High-Speed-Anwendungen unter Berucksichtigung der Signallintegritat und der EMV zu generieren.

Es werden die verschiedenen Designstrategien erklart und mit Hilfe von Simulationswerkzeugen durchgespielt. Daruber hinaus beschaftigt sich das Seminar auch intensiv mit dem Einsatz von differentiellen Signalen. Zum Schlusslelement Lagenaufbau werden nach Vermittlung theoretischer Grundlagen mit Hilfe von

Planungswerkzeugen verschiedene interaktive Modelle erstellt. Dabei haben die Teilnehmer die Moglichkeit, aus der eigenen Projektumgebung Lagenaufbauten mitzubringen und diese nach Bearbeitung zu diskutieren. Groe Aufmerksamkeit wird der rechtzeitigen Einbindung dieser Problematik im Entwicklungs- und Designprozess sowie der Zusammenarbeit von Entwicklern und Designern gewidmet.

Themen

1. Einfuhrung in "High-Speed" Design

- Wann ist eine Baugruppe "High Speed"
- Wie die Industrie „High Speed“ voran treibt
- Das Ziel ist Signal Qualitat
- Systemanforderungen an High Speed
- Anforderungen an Layout und Systemdesign

2. Grundlagen – Signale auf Leitungen

- Anstiegszeit und kritische Leitungslange
- Impulse und HF-Spektrum
- Impedanz elektrischer Leitungen
- Widerstand, Induktivitat und Kapazitat
- HF-Ruckstromweg - Schlitzte auf Masselagen

Aktuelle Termine

18.05. - 20.05.2026

Bereits ausgebucht

Berlin

FED - Fachverband Elektronikdesign

Info & Anmeldung

14.09. - 16.09.2026

Neustadt/Aisch

BVS-Bildungszentrum Neustadt

Info & Anmeldung

07.12. - 09.12.2026

Berlin

FED - Fachverband Elektronikdesign

Info & Anmeldung

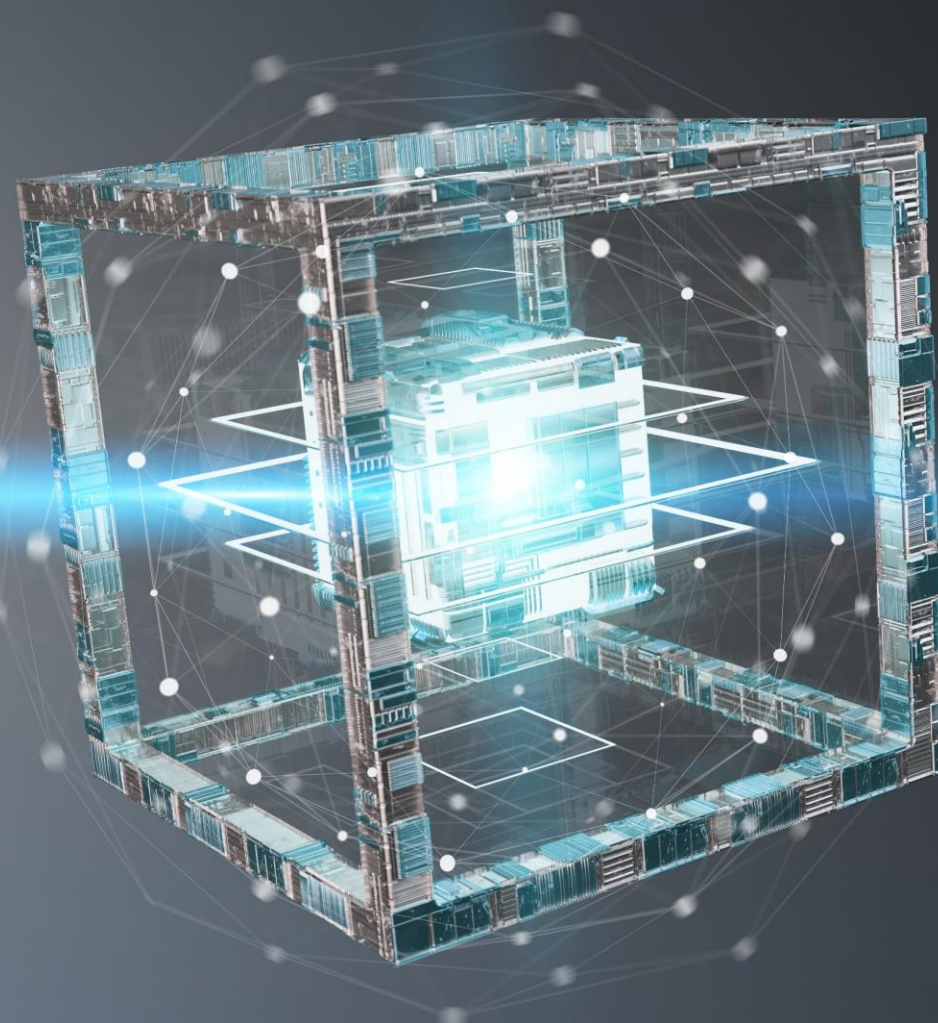
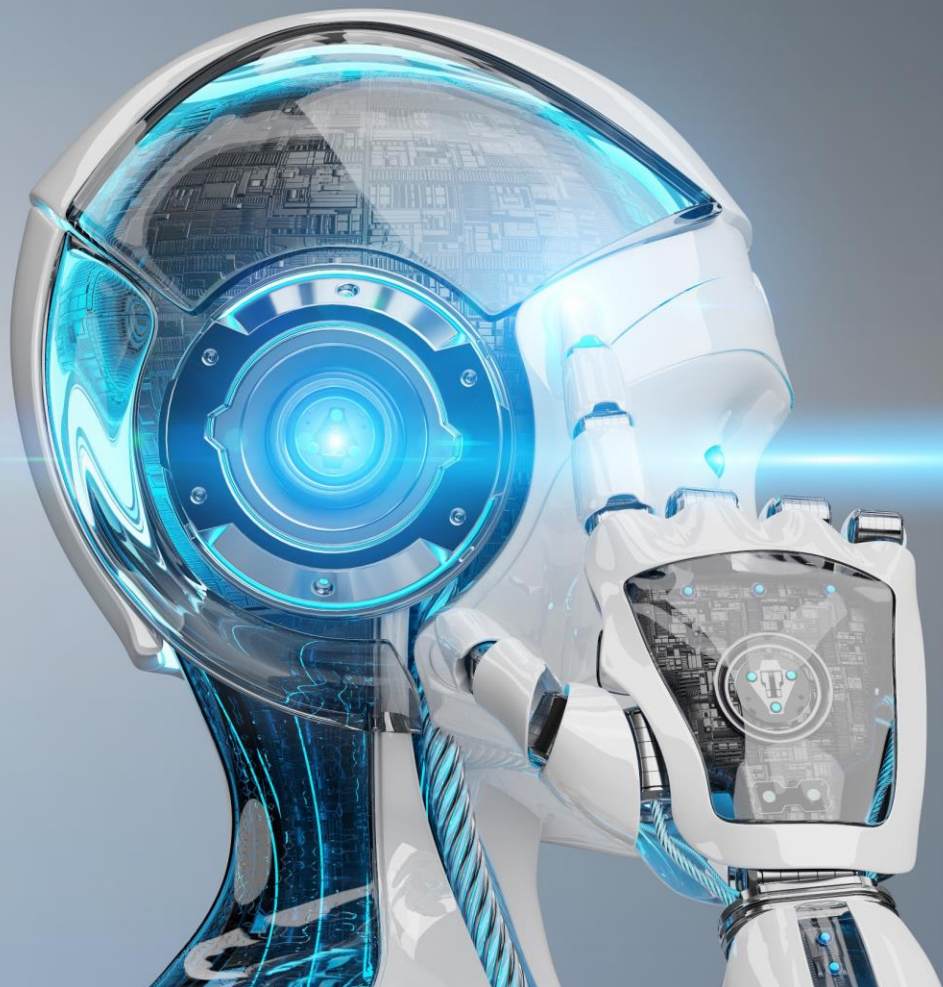
Ansprechpartner



Sandra Kockert

Stv. Geschaftsfuhrerin / Quality- und Veranstaltungsmanagement

Tele: +49 30 540 6030 50
E-Mail: s.kockert@fed.de



Stand: März 2026

Kontakt:

GED Gesellschaft für Elektronik und Design mbH

Pastoratsstraße 3

53809 Ruppichteroth (Bonn – Germany)

Phone:

+49 22 47 - 92 19 - 0

Fax:

+49 22 47 - 92 19 - 50

eMail:

ged@GED-PCB-MCM.de

Internet:

www.GED-PCB-MCM.de

Office:

Petra Severin

+49 2247 - 92 19-0

Consulting:

Hanno Platz

+49 2247 - 92 19-11